

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-55858

(43)公開日 平成8年(1996)2月27日

| | | | | |
|--------------------------|--------|---------|----------------|----------------------|
| (51)Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 1 L | 21/324 | D | | |
| | 21/316 | P | | |
| | 29/786 | | | |
| | 21/336 | | | |
| | | 9056-4M | H 0 1 L 29/ 78 | 6 2 7 F |
| | | | 審査請求 未請求 | 請求項の数10 O L (全 11 頁) |

(21)出願番号 特願平6-191628

(22)出願日 平成6年(1994)8月15日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 佐野 直樹

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 原 昌輝

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 関谷 光信

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 弁理士 松隈 秀盛

最終頁に続く

(54)【発明の名称】 半導体装置の製法

(57)【要約】

【目的】 絶縁膜、半導体の改質をはかって安定して目的とする半導体装置を得ることができるようにする。

【構成】 半導体装置の製法において、20℃～400℃、分圧1Torr以上飽和蒸気圧以下の水(H₂O)の気体を含む雰囲気中で15秒以上20時間以下の加熱工程を経て、上記半導体または絶縁膜の少なくとも一方の改質を行う。

1

【特許請求の範囲】

【請求項1】 半導体装置の製法において、20℃～400℃、分圧1 Torr以上飽和蒸気圧以下の水の気体を含む雰囲気中で15秒以上20時間以下の加熱工程を経て、上記半導体または絶縁膜の少なくとも一方の改質を行うことを特徴とする半導体装置の製法。

【請求項2】 上記雰囲気が、酸素、窒素、水素、または一酸化二窒素のうちのいずれか1種類以上をその分圧が、1 Torr以上10気圧以下含むことを特徴とする請求項1に記載の半導体装置の製法。

【請求項3】 上記半導体装置が、600℃以下で作製された絶縁ゲート型電界効果トランジスタであることを特徴とする請求項1または2に記載の半導体装置の製法。

【請求項4】 上記半導体装置が、絶縁ゲート型電界効果トランジスタであり、該絶縁ゲート型電界効果トランジスタのゲート形成後に上記水の気体を含む雰囲気中で加熱処理を行うことを特徴とする請求項1、2または3に記載の半導体装置の製法。

【請求項5】 上記絶縁膜が、 SiO_2 、 SiN 、および SiON のいずれか1種以上であることを特徴とする請求項1、2、3、または4に記載の半導体装置の製法。

【請求項6】 上記半導体が単結晶半導体、アモルファス半導体、多結晶半導体であることを特徴とする請求項1、3、または4に記載の半導体装置の製法。

【請求項7】 上記半導体がレーザ加熱によって多結晶化された多結晶シリコンであることを特徴とする請求項1、2、3、または4に記載の半導体装置の製法。

【請求項8】 上記水の気体を含む雰囲気がプラズマ状態であることを特徴とする請求項1に記載の半導体装置の製法。

【請求項9】 上記半導体装置が、太陽電池であることを特徴とする請求項1、2、5、6、7または8に記載の半導体装置の製法。

【請求項10】 上記半導体装置が、太陽電池であり、該太陽電池の保護膜の形成後に上記加熱処理を行うことを特徴とする請求項1、2、5、6、7、8または9に記載の半導体装置の製法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製法に係わる。

【0002】

【従来の技術】 例えば、アクティブ・マトリックス型の液晶ディスプレイ装置においては、そのスイッチング素子としての絶縁ゲート型電界効果トランジスタ(MISトランジスタ)を薄膜半導体層に形成したいわゆる薄膜トランジスタTFTによって構成するものが広く用いられている。この場合、一般に硼珪酸ガラスあるいはプラ

2

スチック基板等の低融点もしくは耐熱性の低い基板上にTFTが形成されるものであることから、このTFTの形成、したがってそのゲート絶縁膜の形成は低温でなされる。このゲート絶縁膜の形成方法としては、その成膜に当たっての基板温度を600℃～300℃とする例えばプラズマCVD(化学的気相成長)法によるものの提案がなされている。

【0003】 しかしながら、従前の知見によれば、このゲート絶縁膜の成膜においてその成膜温度すなわち基板温度を低くするとこれに伴って目的とする特性のMISトランジスタを得にくくなってくる。例えば、nチャネルMISトランジスタにおいては、これがディプリーション型動作となり、pチャネルMISトランジスタにおいては、所定の負の電圧印加によってもオンしないというしきい値電圧 V_{th} の増大化現象が生じることから、両トランジスタを用いた回路の集積回路化に問題がある。

【0004】 この現象は、ゲート絶縁膜中の結晶欠陥や不純物に起因する正電荷によるものと考えられ、この正電荷は、ゲート絶縁膜の例えば SiO_2 中のSiのダングリングボンド(未結合手)によるものと考えられている。そして、この正電荷がゲート絶縁膜と半導体との界面近傍に存在するときに、フラットバンド電圧のシフト(移動)を来し、これが上述したnチャネルMISトランジスタのディプリーション化、pチャネルMISトランジスタのオン電圧の増大化を来すと考えられる。

【0005】 このような、フラットバンド電圧のシフトは、MISトランジスタの動作電圧が比較的大である場合、例えば±20V程度である場合、例えばフラットバンド電圧の+4V程度のシフトは、許容できるものであるが、昨今ますます要求が高まっている低電圧駆動例えば±5Vへの移行においては、この程度のフラットバンド電圧のシフトが致命的となる。

【0006】 この問題を解決する方法として、ゲート絶縁膜の成膜後に、大気等の酸素雰囲気中での熱処理を行って欠陥の補償を行うポストアニール法の提案がある。このポストアニールとしては水素ガスを含む還元性アニール(水素プラズマ処理を含む。)、大気アニール等がある。ところが、還元性アニールによる場合は、一般に400℃を超える高温加熱が必要となる。そして、これらポストアニールによる場合絶縁膜の膜質によっては、かえってフラットバンド電圧のシフトを増大させてしまう。そして大気中アニールでは、その効果に季節的な変動があり、実用上問題がある。

【0007】

【発明が解決しようとする課題】 本発明は、ゲート絶縁膜等の絶縁膜、半導体の改質をはかって安定して目的とする半導体装置を得ることができるようにし、また例えば上述のフラットバンド電圧のシフトの改善をはかる。

【0008】

【課題を解決するための手段】 第1の本発明は、半導体

3

装置の製法において、20℃～400℃、分圧1Torr以上飽和蒸気圧以下の水(H₂O)の気体を含む雰囲気中で15秒以上20時間以下の加熱工程を経て、上記半導体または絶縁膜の少なくとも一方の改質を行う。

【0009】第2の本発明は、上述の雰囲気が、酸素、窒素、水素、または一酸化二窒素のうちのいずれか1種類以上をその分圧が、1Torr以上10気圧以下含む雰囲気とする。

【0010】第3の本発明は、上述の本発明製法において、目的とする半導体装置が、600℃以下で作製された絶縁ゲート型電界効果トランジスタとする。

【0011】第4の本発明は、上述の本発明製法において、目的とする半導体装置が、絶縁ゲート型電界効果トランジスタであり、この絶縁ゲート型電界効果トランジスタのゲート形成後に上述の水の気体を含む雰囲気中での加熱処理を行うものである。

【0012】第5の本発明は、上述の絶縁膜が、SiO₂、SiN、およびSiONのいずれか1種以上とする。

【0013】第6の本発明は、上記半導体が、単結晶半導体、アモルファス半導体、多結晶半導体より成る構成をとる。

【0014】第7の本発明は、上記半導体が、レーザ加熱によって多結晶化された多結晶シリコンより成る構成をとる。

【0015】第8の本発明は、上記水の気体を含む雰囲気をプラズマ状態とする。

【0016】第9の本発明は、半導体装置が、太陽電池である構成とする。

【0017】第10の本発明は、上記半導体装置が、太陽電池であり、この太陽電池の保護膜の形成後に上述の水の気体を含む雰囲気中の加熱処理を行う。

【0018】

【作用】本発明製法による水の気体を含む雰囲気内における加熱処理（以下水蒸気中アニールという）によって、半導体および絶縁膜の改質が効果的に行われる。例えばこの半導体上に電極ないしは配線がオーミックコンタクトされた構造がとられている場合において、そのオーミックコンタクトが必ずしも良好なオーミックコンタクトがなされていない状態にある場合においても、半導体の改質によって、良好なオーミックコンタクトがなされる。また、例えばMISトランジスタの作製において、そのゲート絶縁膜中の欠陥や不純物に起因する正電荷を中性化し、負に寄ったフラットバンド電圧を0V側に近づけることができるという絶縁膜の改質を行うことができることが確認された。

【0019】これら半導体や絶縁膜の改質が何故行われるのかについては、未だ明らかではないものの、例えば上述のMISトランジスタのゲート絶縁膜を構成する例えばSiO₂についての上述の本発明製法、水蒸気中ア

4

ニールを施す前と後において酸素OとシリコンSiとのボンディングアングルを比較すると、水蒸気中アニール後は、このボンディングアングルが大きくなっていることが観察された。

【0020】

【実施例】本発明製法においては、半導体基板上に目的とする半導体装置例えばMISトランジスタを構成する望ましくは電極等の全ての構成部分を形成した半導体素子、例えばMISトランジスタ素子を形成して後に、200℃から400℃、分圧1Torr以上飽和蒸気圧以下の水の気体を含む雰囲気中で15秒以上20時間以下の加熱工程いわば水蒸気中アニールを行う。

【0021】ここで、半導体基板とはその全体が半導体によって構成されるバルク型構成はもとより、例えば絶縁ないしは半絶縁基板上に単結晶半導体層、多結晶半導体層、非晶質半導体層が形成された構成による基板をも含んで指称するものである。

【0022】上述の水蒸気中アニールは、全工程を600℃以下で作製したMISトランジスタに対して行うことが有効である。すなわち、前述したように、このように600℃以下、例えば600℃～300℃の基板温度で例えばゲート絶縁膜を形成したMISトランジスタはその特性に劣るものであり、また例えばこのゲート絶縁膜の成膜後において600℃を超える熱処理を経る場合には、水を含まない高温アニールで絶縁膜改質、オーミックコンタクトの向上をはかることができるからである。

【0023】図1は、上述の水蒸気中アニール処理を行う装置の一例の構成図を示すもので、この場合、基板加熱処理容器31内に、半導体基板2が配置される基板ホルダー32が配置される。この基板ホルダー32には、通電ヒーター等の加熱手段39が設けられ、ホルダー32に保持した基板2を所定の温度に加熱することができるようになされている。

【0024】この基板加熱処理容器31には、排気口33が設けられ、これが排気手段（図示せず）にバルブV₁を介して連結される。また、この容器31にはその内部の圧力を観察する圧力計34が設けられる。

【0025】一方、水(H₂O)の収容部35を有する恒温槽36が設けられ、収容部35が、バルブV₂およびV₃が設けられた連結管37によって連結される。また、キャリアガスが供給されるキャリアガス供給管37が、バルブV₄を介して上述の連結管37のバルブV₂およびV₃との間に連結されると共にバルブV₅を介して恒温槽36内の水の収容部に連結された構成とされる。

【0026】このようにして、予め高真空度に排気した基板加熱処理容器31に、例えばバルブV₄およびV₅を閉じた状態で、バルブV₃およびV₄を開け、恒温槽36によって設定された加熱温度下での飽和蒸気圧によ

って設定される蒸気量を、バルブ V_3 および V_4 の開閉調節によって圧力計34でモニターしながら、処理容器31に真空吸引によって所定量送り込む。そして、この場合加熱処理容器31には、図示しないが、この加熱処理容器31全体を加熱する加熱手段を設けておくことによって、この容器31内に送り込まれた水蒸気が結露することがないように、導入した水蒸気量に対する露点以上に加熱処理容器31全体を加熱しておくことが望まれる。

【0027】半導体基板2における半導体素子例えばMISダイオード、MISトランジスタ素子等を形成するに当たっての絶縁膜特にゲート絶縁膜の形成は、プラズマプロセス、特にリモートプラズマCVD法によることが望ましく、これを実施する装置としては、例えば本出願人によって提案された特開平5-21393号公報に開示されたように、プラズマ発生部と半導体基板の配置部とが分離され両者間にメッシュ状電極が配置され、これによってプラズマを遮蔽して半導体基板に対して電氣的に中性の励起された原子種もしくは分子種を照射するようにしたりリモートプラズマCVD装置を用いることができる。

【0028】このリモートプラズマCVD装置によれば、半導体基板表面、したがってこれの上に成膜されるゲート絶縁膜との界面にプラズマによるダメージを減少させることができ、界面準位が小でまた前述した欠陥による正電荷の発生を小さく抑えることができる。

【0029】まずこのリモートプラズマCVD装置を、図2の概略構成図を参照して説明する。この例においては、平行平板型の電極構成とした場合であるが、この構成に限られるものではない。

【0030】この例では、チェンバー1内に、ゲート絶縁膜の成膜がなされる半導体基板2が配置される基板配置部3とこれに対向してプラズマ発生部4が構成される。このプラズマ発生部4は、高周波(RF)発生器5からの例えば13.56MHzの高周波電力が印加される平板状のRF電極6を有し、これに対向して第1および第2のメッシュ状電極 G_1 および G_2 が配置される。電極 G_1 は平板状メッシュ電極によって構成され、電極 G_2 は平板状の袋状メッシュ電極によって構成され、各電極 G_1 および G_2 には所定の電圧 V_{G1} および V_{G2} が印加される。

【0031】半導体基板2の配置部3は加熱手段7を具備し、半導体基板2を所要の基板温度に設定することができるようにされる。

【0032】チェンバー1には、そのプラズマ発生部4の近傍に、ガス導入口8が形成され、例えば基板配置部3の近傍に排出口9が形成される。また、メッシュ電極 G_2 にガス導入口10が設けられる。そして、ガス導入口8から、酸素 O_2 およびヘリウムHeが供給され、ガス導入口10からモノシラン SiH_4 およびHeが供給

される。

【0033】この構成において、RF電極6と基板配置部3の間に、RF電力を印加することによって放電を発生させるが、この場合両者間にメッシュ電極 G_1 および G_2 が存在することによって、これらに基板配置部3に対して正の所定の電圧 V_{G1} および V_{G2} を印加することによる放電によって発生するプラズマを、メッシュ電極 G_1 および G_2 によって、RF電極6側に制限する。すなわち、電子、正負イオンの荷電粒子を基板配置部3に対して遮断する。このようにして、基板配置部3に配置された半導体基板2に中性ラジカルすなわちそれぞれ電氣的に中性の励起原子種もしくは励起分子種のみが照射されて、半導体基板2の成膜面およびこれの上の成膜が荷電粒子によってダメージを受けることなくこの例では SiO_2 によるゲート絶縁膜が成膜される。

【0034】また、プラズマ中の電子密度は高周波電力にほぼ比例するので、更に基板面へのプラズマダメージを抑制するには、その高周波電力を放電を維持できる範囲において最も低い電力に印加することが望ましい。

【0035】成膜速度は、基本的には気相中で生成された電氣的に中性なプリカーサー SiO_x^* (反応前駆体)が基板2の成膜面に堆積すれば良いので、メッシュ電極 G_1 および G_2 により荷電粒子をブロックしてもリモートプラズマCVDによらない通常のプラズマCVDの場合と変わることがない。

【0036】次に、本発明製法を、具体的に説明する。この場合、半導体基板2として、ボロンBが $10^{15}atom/cm^3$ ドープされたp型の単結晶Si基板が用意され、その一主面上に基板温度270℃として図2のリモートプラズマCVD装置によって、 SiO_2 ゲート絶縁膜を厚さ100nmに成膜した。そして、これの上にAlの蒸着膜によってゲート電極を形成し、MISキャパシタ(MISダイオード)を作製した。図3は、このようにして形成したMISダイオードの、C-V(容量-電圧)特性である。

【0037】そして、このようにして形成したMISダイオードを、図1で説明した加熱処理装置の高真空度に排気した基板加熱処理容器31内の基板ホルダー32上に配置し、バルブ V_2 および V_4 を開け、50Torrの水蒸気を導入して基板温度270℃で、30分の加熱処理すなわち水蒸気中アニールを行った。このアニール後の同様のC-V(容量-電圧)特性は、図4となった。

【0038】上述のバルク型MIS(MOS)ダイオードにおいて、そのアニール前のゲート絶縁膜を構成する SiO_2 の電気容量は1401.8pFであり、アニール後は800.0pFであった。すなわちアニール前は誘電分散のある誘電率の高い SiO_2 膜であったものが、アニールにより原子結合の緩和した、より安定した膜となって熱酸化により SiO_2 膜に近い誘電率を持つようになる。すなわち絶縁性が高まる。そして、そのフ

ラットバンド電圧 V_{FB} は、アニールにより、 -2.3 V から -0.9 V に変化し改善効果がみられる。因みに、 p 型の $10^{15}\text{ atoms/cm}^3$ の基板濃度を有する Al ゲートの MIS 構造（この例では MOS 構造）での理想的すなわち酸化膜電荷を持たないときのフラットバンド電圧 V_{FB} は -0.89 V であるので、その効果が大きいことがわかる。

【0039】この酸化膜電荷密度 N_{eff} の定義として、次式（数1）を用いた。

【0040】

$$\text{【数1】 } N_{eff} = C_{ox} \cdot (\phi_{ms} - V_{FB}) / eS$$

【0041】ここに、 C_{ox} は MOS ダイオードの容量-電圧特性（ $C-V$ 特性）より求めた酸化膜のキャパシタンス、 V_{FB} はフラットバンド電圧、 ϕ_{ms} はゲート電極の仕事関数と Si の電子親和力の差、 e は電気素量、 S はゲート電極の面積である。

【0042】アニールによって、 N_{eff} は、 $1.24 \times 10^{12}\text{ cm}^{-2}$ から、 $5.0 \times 10^9\text{ cm}^{-2}$ に低減していることがわかる。

【0043】図3においては、 0.1 Hz での特性が示されていないが、これはアニール前の状態では、誘電分散が大きいために、このモードでの測定ができなかったことによる。そして、水蒸気中のアニールによって図4に示すように、高周波-準静（quasi-static）測定結果より Si の中間ギャップ（mid-gap）における界面準位密度が求められ、 $2.0 \times 10^{10}\text{ cm}^{-2}\text{ eV}^{-1}$ と低温絶縁膜を用いた MOS （ MIS ）としては極めて良好な値が得られた。

【0044】ところで、本発明方法による水蒸気中アニールによる場合、ホットキャリアの劣化の原因となる絶縁膜中の水分を増大させるのではないかと懸念があるが、実際には、このアニールは逆に SiO_2 膜中の水分、または OH 基の低減効果があることを確認した。図5は、赤外分光により求めた膜中の $\text{H}_2\text{O} + \text{OH}$ 量（任意単位）のアニール温度依存性を示したもので、この場合 100 nm の膜厚の SiO_2 膜を成膜温度 270°C にて形成し、 50 Torr の水蒸気中で、基板温度 270°C の水蒸気中アニールを行った。長時間加熱するほど、膜中の $\text{H}_2\text{O} + \text{OH}$ 量が減少しているとわかる。

【0045】この膜においては、約10分以上の加熱処理によって吸湿性のない膜に改質されることがわかる。この改質は、加熱温度が高くなるほど改質に要する時間の短縮化をはかることができ、加熱温度 400°C では、20秒間の加熱時間で改質が可能であった。また、上述の水蒸気中アニールにおいて、その雰囲気 RF （高周波）プラズマ化することによってこの加熱時間の短縮をはかることができた。しかし、20時間を超えると改質効果の変化は殆ど生じないことから、これ以上の加熱は工業的に不利益となる。

【0046】尚、絶縁膜中に水分があっても、この膜を

真空中アニールしてフラットバンドシフトの改善、誘電率安定化、吸湿性解消等の効果は生じなかった。

【0047】上述したように、本発明において水蒸気中アニールを、 $20^\circ\text{C} \sim 400^\circ\text{C}$ で行うのは、 20°C 未満では絶縁膜の改質効果が殆ど生じないものであり、 400°C を超えると、金属電極ないしは配線が水との反応によってこれに変質を生じることによる。例えば廉価で広く電極ないしは配線として用いられている Al の場合、 400°C を超える水蒸気中加熱によって $\text{Al}(\text{OH})_3 \cdot n\text{H}_2\text{O}$ という水酸化物の含水塩になる。

【0048】そして、加熱時間を15秒～20時間とするのは、15秒未満では改質効果がなく、また前述したように20時間を超えても改質効果が飽和することから20時間以上とすることは製造上実用的でないことによる。

【0049】また、水蒸気中加熱における水蒸気分圧を、 1 Torr 以上1気圧以下とするのは、分圧 1 Torr 以下となると、おおよそ大気中に含まれる水蒸気の量ということになり、季節変動の影響が生じて来ることにより、1気圧以下が実用的であることによる。

【0050】上述したところは、本発明を MIS ダイオード（ MIS キャパシタ）に適用した場合であるが、 TFT をはじめとする MIS トランジスタに適用して同様の効果を有することは言うまでもない。

【0051】図6～図10の工程図を参照して本発明製法によって TFT を作製する場合の一実施例を説明する。この場合、多結晶シリコンによる TFT を構成する場合で、まず図6に示すように、ガラス基板21上に B （ボロン）ドーパの水素含有のアモルファス Si （ $a\text{-Si:H, B}$ ）もしくは P （りん）ドーパの水素含有のアモルファス Si （ $a\text{-Si:H, P}$ ）の第1の半導体層22を CVD 法によって成膜した。この第1の半導体層22を、フォトリソグラフィによって最終的に得る TFT のソース領域およびド레인領域となる部分を残して他部をエッチング除去する。

【0052】図7に示すように、第1の半導体層22上にそのソース領域およびド레인領域の形成部間の半導体層22が除去された部分を埋込んで全面的に最終的に TFT のチャネル形成領域を構成する例えば N ドーパの水素含有のアモルファス Si （ $a\text{-Si:H}$ ）の第2の半導体層23を成膜する。このようにして半導体基板2を構成する。

【0053】そして、この第2の半導体層23にエキシマレーザ光を照射するエキシマレーザアニールによってこの第2の半導体層23を結晶化するとともに、図8に示すように、第1の半導体層22から第2の半導体層23への不純物の拡散を行って、第1の半導体層22とこの上の第2の半導体層23によってソースおよびド레인各領域24Sおよび24Dを形成する。そして、このようにして形成した各領域24Sおよび24D間に、ノ

ンドープの第2の半導体層23によるチャネル形成領域25が形成される。

【0054】図9に示すように、本発明方法にゲート絶縁膜26を成膜する。このゲート絶縁膜26の成膜は、図2のリモートプラズマCVD装置によって、その基板温度を120℃を超え250℃未満の温度範囲下で形成する。

【0055】図10に示すように、ゲート絶縁膜26に対してフォトリソグラフィによって各ソースおよびドレイン領域24Sおよび24D上に電極コンタクト窓明けを行いこれら電極コンタクト窓を通じてソースおよびドレイン領域24Sおよび24D上にそれぞれソースおよびドレイン各電極27Sおよび27Dをオーミックにコンタクトし、これらソース領域およびドレイン領域24Sおよび24D間のゲート絶縁膜26上にゲート電極27Gを被着形成する。これら各電極27S、27Dおよび27Gの形成は、例えばA1を全面的に被着形成し、フォトリソグラフィによってパターン化することによって同時に形成することができる。

【0056】本発明製法においては、このようにして形成したTFTを、水蒸気中加熱すなわちアニールする。この水蒸気中アニールは、例えば270℃で30分間、50Torrの水蒸気中加熱処理を行った。このようにして得たゲート幅 $W=10\mu\text{m}$ 、ゲート長 $L=10\mu\text{m}$ TFTの、ドレイン電圧 $V_D=-1\text{V}$ におけるドレイン電流 I_D -ゲート電圧 V_G 特性を図11に示す。図11において、曲線11Aは本発明製法によって得たTFTの I_D-V_G 特性曲線、曲線11Bは上述の水蒸気中加熱処理前における同様のTFTの I_D-V_G 特性曲線である。曲線11Aおよび11Bを比較して明らかなように、本発明製法によるTFTすなわち水蒸気中アニールを行ったものは、フラットバンド電圧、すなわちオフ電圧が、-3.6Vから-1.0Vへと改善されている。

【0057】同様に図11の曲線11Aおよび11Bを比較して明らかなように、加熱処理前の $V_G=-10\text{V}$ におけるオン電流の $6.42\mu\text{A}$ から加熱処理後の $V_G=-5\text{V}$ におけるオン電流の $18.83\mu\text{A}$ へと約3倍増加している。

【0058】また、電界効果移動度は $60\text{cm}^2/\text{Vs}$ から $400\text{cm}^2/\text{Vs}$ へと増大した。サブスレッショールドスイング値は、 0.38V/decade から $0.15/\text{decade}$ へと改善された。すなわち、本発明製法によれば、上述のバルク型MIS構造に限らず薄膜型構成においても、酸化膜電荷の低減、界面準位密度の低減があることが示されている。

【0059】このような界面準位密度の低下は、絶縁膜の下地である上述の第1および第2の半導体層22および23によるSi膜にも改質効果が及んでいることを意味する。すなわちシリコンの欠陥つまり結晶粒界のダングリングボンドや絶縁膜との界面に多く存在する欠陥の

パッシベーション効果があることを意味する。

【0060】更に、本発明製法において、その半導体の改質がなされることによってこれにコンタクトされる電極ないしは配線のオーミックコンタクトが良好に行われる。すなわち、ゲート幅 $W=10\mu\text{m}$ 、ゲート長 $L=10\mu\text{m}$ であって、水蒸気中アニールを行う前のドレイン電流 I_D -ドレイン電圧 V_D 特性が図12に示す特性を有するすなわちソース領域およびドレイン領域に対する電極のオーミックコンタクトが不良のTFTに対し、その後270℃、30分間の、50Torrの水蒸気アニールを行った本発明製法によるTFTの同様のドレイン電流 I_D -ドレイン電圧 V_D 特性は図13となり、本発明製法によるときは、そのオーミックコンタクトが改善されていること、すなわち半導体の改質がなされることがわかる。

【0061】尚、上述した SiO_2 絶縁膜を形成するプラズマCVDにおいて、用いるガス種は、シリコンの原料としての上述のモノシラン SiH_4 のほかジシラン Si_2H_6 をはじめとする高次シランガスのいづれでも良い。また、酸化性のガスは、上述の O_2 の他に N_2O などの酸化窒素ガスを用いることができる。

【0062】絶縁膜の形成方法は、上述のリモートプラズマ法に限られるものではなく、各種プラズマCVDによる絶縁膜の形成方法によって形成することができる。すなわち通常のプラズマCVD法の例えば直流(DC)プラズマ、RFプラズマ、マイクロ波プラズマ、ECR(電子サイクロトロン共鳴)プラズマ、ヘリコンプラズマなど、RFスパッタ法等を用いることができる。

【0063】更に、本発明製法は、600℃以下で形成される例えばSiの熱酸化膜や、減圧および常圧熱CVDによって形成した絶縁膜、エレクトロンビーム、または抵抗加熱による真空蒸着によって成膜した絶縁膜を有する半導体装置を得る場合に適用できる。

【0064】また、図1および2における加熱手段39および7は、例えば抵抗型ヒーターによることも、基板2の構成、基板配置部3の構成によっては高周波誘導加熱、あるいは赤外線ランプ等による輻射型加熱によることもできる。

【0065】また、水蒸気アニールを行うための水蒸気導入法は、上述した真空吸引に限られるものではなく、各種ガスを予め充填した加熱処理容器31に、水蒸気を導入することもできる。このように、水蒸気以外のガスを混入させる場合、容器31内の熱伝導が向上し、温度分布が小さくなるので、折角導入した水蒸気が局所的に温度が低い部分に結露してアニール効果を低下させる不都合を回避できる効果がある。

【0066】また、水蒸気の供給方法は、図1で示されるように、収容部35水中に各種キャリアガスをくぐらせて水分を含んだキャリアガスを基板加熱処理容器31内に供給するバブリング方法を採用することもできる。

【0067】基板加熱処理容器31内での加熱処理すなわち水蒸気中アニールは、容器31を封じた状態で行うこともできるし、キャリアガスの気流中で行うこともできる。

【0068】さらに、この水蒸気中加熱処理のための基板加熱処理容器31内への水蒸気すなわち水の気体の導入は、噴霧器による導入方法とか、超音波振動を与え、これによって発生させるパルスジェット水による噴霧態様を探ることができる。この方法によるときは、水滴粒子が極めて小さく容易に容器31中でガス化できるとい

う利点がある。

【0069】また、水蒸気と混合させるガスについても、酸素、窒素、水素、一酸化二窒素等各種のガスを用いても水蒸気中加熱処理の効果を損なうものではない。特に、酸素を用いるときは、これ単独のガス中の加熱処理でも誘電分散の大きい絶縁膜の改質効果があるのでこれを混合のガスとして用いることにより、より効果的に改質効果をあげることができる。

【0070】この場合、その分圧を1 Torr以上10気圧以下とするものである。1 Torr以上とするのは、酸素による絶縁膜の誘電分散改善には、1 Torr以上が必要であり、また、これら窒素等を水蒸気と混合させるのは熱処理容器内の低い温度分布をもっている部分に結露が生じることを防ぐ効果も生じるものであるが、1 Torr以下(水蒸気圧と同圧程度以下)ではその効果が小さくなることによる。10気圧以下とするのは、これを超えると熱処理容器の耐圧を確保する上で装置の複雑化を来し、大掛かりな装置を必要とし実用的ではないことによる。また、水蒸気分圧が1気圧以下の領域では圧力を高くすることによりアニールの短時間化を可能とするが、これを越えると、次第に圧力を高めることの効果は小さくなる。

【0071】また、TFTにおいて、図10で示すチャネル形成領域25の上層にゲート絶縁膜およびゲート電極を形成するいわゆるトップゲート型構成に限られるものではなく、ゲート電極上にゲート絶縁膜およびチャネル形成領域を形成するいわゆるボトムゲート型構成に本発明を適用することもできる。

【0072】更に、本発明製法は、上述したMIS構造を有する半導体装置を得る場合に限られるものではなく、他の各種半導体装置に適用することもできるものであり、その改質される半導体は上述のSiに限られるものではなくGe、SiGe固溶体、あるいはSiGe系超格子等の積層薄膜である場合、更に単結晶、非晶質、多結晶等の半導体である場合等を得る場合に適用して同様の効果を得ることができる。また絶縁膜は上述のゲート絶縁膜に限られるものではなく、層間絶縁膜、表面保護絶縁膜、平坦化絶縁膜等を有する半導体層装置を得る場合に適用することができる。そして、この絶縁膜は、SiO₂に限られるものではなく、例えばその成膜時の基

板温度が600℃以下で形成されるSiON、SiN、あるいはこれらや上述のSiO₂等の2種以上の積層構造による半導体装置を得る場合に本発明を適用して同様の効果が得られる。更に、層間絶縁膜等においてSOG (spin on glass)等による絶縁膜を有する半導体装置を得る場合においても適用することができる。すなわち、これら各絶縁膜においても、膜中の欠陥や、すなわち水分によっても素子の特性の安定化が損なわれることがあるが、これら構造による半導体装置を得る場合において、本発明製法を適用して特性の安定化がはかられた半導体装置を得ることができる。

【0073】例えば図14にその一例の断面図を示すように、図10で示したTFT半導体装置において、その水蒸気中アニール前に、例えばSiNあるいはSOGによる層間絶縁膜51を全面的に形成し、これに形成したコンタクト開口を通じて層間絶縁膜51上に形成した上層配線52を、下層配線ないしは電極図示の例ではソース電極27Sおよびドレイン電極27D等に電気的にコンタクトした多重配線構造とし、さらにこれの上に同様のSiNあるいはSOG等の絶縁膜による表面保護ないしは平坦化の絶縁膜53を形成し、その後上述した水(気体)を含む雰囲気中での加熱処理を行う。図14において、図10と対応する部分には同一符号を付して重複説明を省略する。

【0074】この場合においても、ゲート絶縁膜26はもとより層間絶縁膜51および平坦化絶縁膜53の安定化がはかられた半導体装置を得ることができる。

【0075】また、例えば非晶質、多結晶、単結晶のいずれかによる太陽電池を得る場合に本発明を適用することもできる。図15はその太陽電池の一例の断面図を示し、この例においては、例えばガラス基板60上に一方の電極61が形成され、これの上にn型のアモルファスSi(a-Si)による第1の半導体層62、ノンドープすなわち真性のa-Siによる第2の半導体層63、p型のa-Siによる第3の半導体層64を順次例えばプラズマCVD法によって成膜され、これの上に例えばITO(InとSnとの複合酸化物)による透明電極65が被着形成され、更にこれの上に例えばSiNによる表面保護膜66が形成される。本発明においては、この構成において、その表面保護膜66の形成の後に、上述した水蒸気を含む雰囲気での加熱処理を行う。このようにすれば、上述した半導体の改質と絶縁膜の改質が行われて、電極65のオーミックコンタクトを良好に行うことができると共に、表面保護膜66の安定化をはかることができる。

【0076】

【発明の効果】上述したように、本発明製法においては、水の気体を含む雰囲気内におけるアニールによって、400℃以下の低温の加熱処理で効果的に半導体および絶縁膜の改質がはかられる。例えば半導体の改質に

よってこの半導体上に電極ないしは配線がオーミックコンタクトされた構造がとられ、そのオーミックコンタクトが必ずしも良好に行われない場合においても、良好なオーミックコンタクトに改変することができる。

【0077】また、絶縁膜の改質によって、すなわちこの絶縁膜中の水およびOH基の低減化によって例えばゲート絶縁膜において、ホットエレクトロン劣化を抑制する効果を得ることができる。

【0078】更にゲート絶縁膜中の欠陥や不純物に起因する静電荷を中性化し、負に寄ったフラットバンド電圧を0V側に近づけることができることから、nチャネルMISトランジスタにおけるディプリーション型への移行を回避してエンハンスメント型とし、pチャネルMISトランジスタにおいてはしきい値電圧 V_{th} の増大化を回避して確実な動作を行わしめることができるので、両導電型チャネルのMISトランジスタによるCMOS等の集積回路化を容易に行うことができる。

【0079】また、同一半導体基板における素子特性のばらつき小さくできることから、回路の集積化が容易となる。

【0080】また、半導体と絶縁膜の界面特性の向上、すなわちスレッショルドスイング値を下げ、オン電流を増大させ、オフ電流を低下させ、しきい値電圧 V_{th} を低下させる効果を奏することができるものであり、集積回路の高速動作化が実現できるものである。

【図面の簡単な説明】

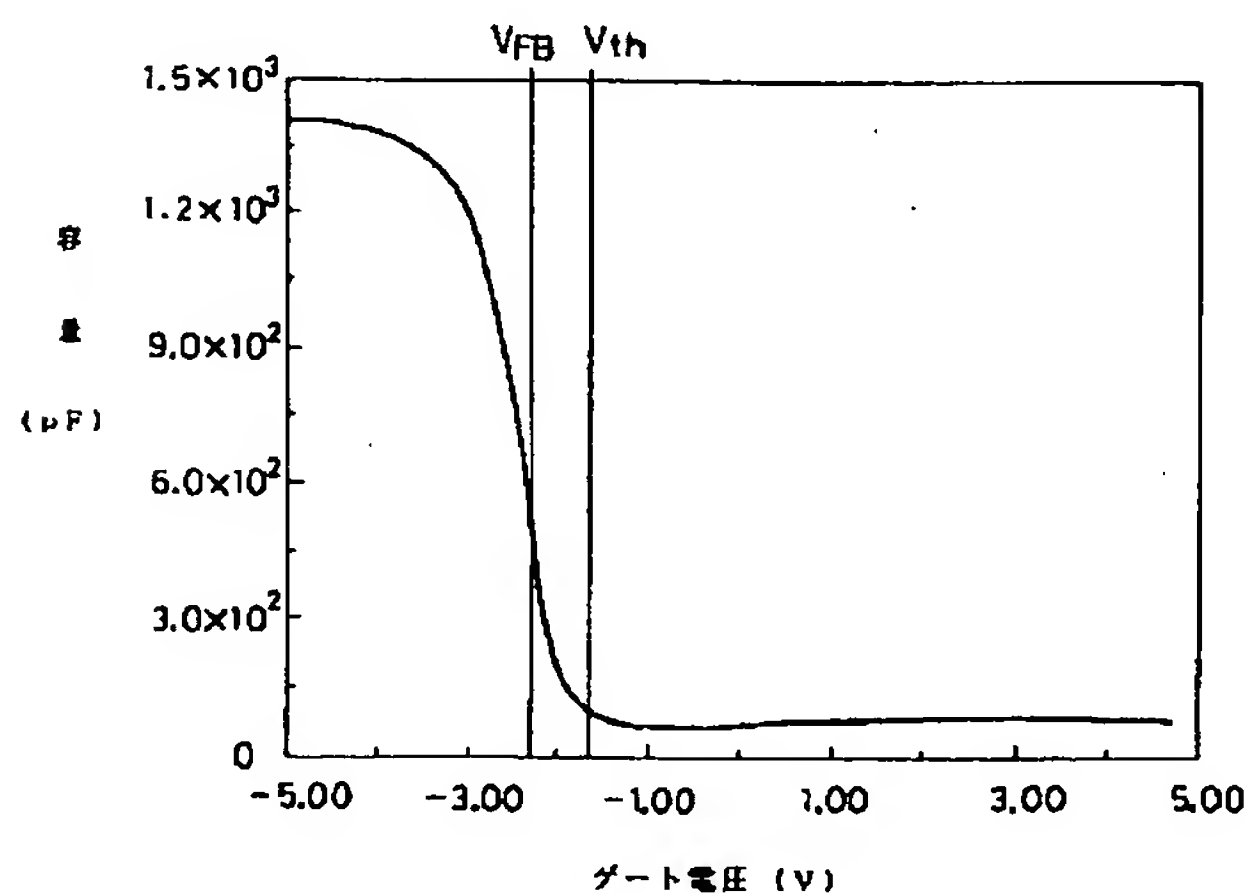
【図1】本発明製法製法を実施する加熱処理（アニール）に用いる装置の一例の構成図である。

【図2】本発明製法を実施するリモートプラズマCVD装置の一例の構成図である。

【図3】アニール前のMISダイオードの容量-ゲート電圧特性曲線図である。

【図4】アニール後のMISダイオードの容量-ゲート

【図3】



電圧特性曲線図である。

【図5】OH+H₂O量のアニール時間依存性を示す図である。

【図6】本発明製法をTFETの作製に適用した場合の一例の一製造方法の一工程の断面図である。

【図7】本発明製法をTFETの作製に適用した場合の一例の一製造方法の一工程の断面図である。

【図8】本発明製法をTFETの作製に適用した場合の一例の一製造方法の一工程の断面図である。

【図9】本発明製法をTFETの作製に適用した場合の一例の一製造方法の一工程の断面図である。

【図10】本発明製法をTFETの作製に適用した場合の一例の断面図である。

【図11】本発明製法によるTFETのドレイン電流 I_D -ゲート電圧 V_G 特性図である。

【図12】本発明製法によって得るTFETの水の気体を含む雰囲気中での熱処理前のドレイン電流 I_D -ドレイン電圧 V_D 特性図である。

【図13】本発明製法によって得たTFETのドレイン電流 I_D -ドレイン電圧 V_D 特性図である。

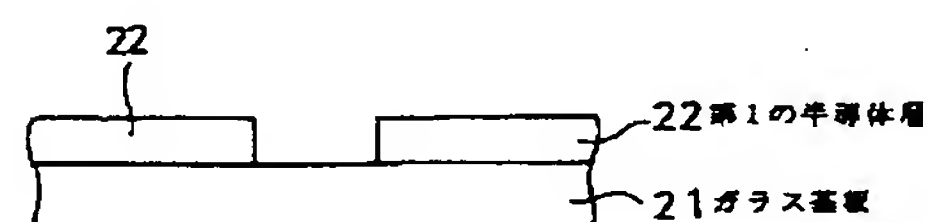
【図14】本発明製法によって得るTFETの一例の断面図である。

【図15】本発明製法によって得る太陽電池の一例の断面図である。

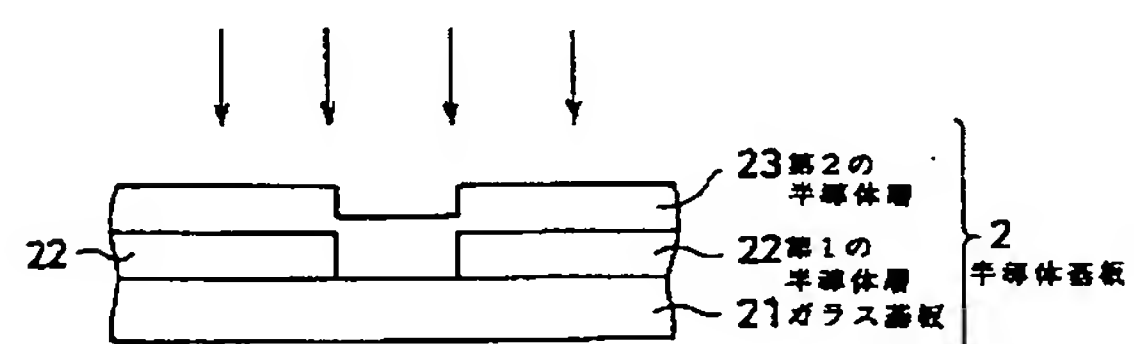
【符号の説明】

- 2 半導体基板
- 25 チャネル形成領域
- 26 ゲート絶縁膜
- 31 基板加熱処理容器
- 32 基板ホルダー
- 39 加熱手段
- 34 圧力計
- 35 水の収容部

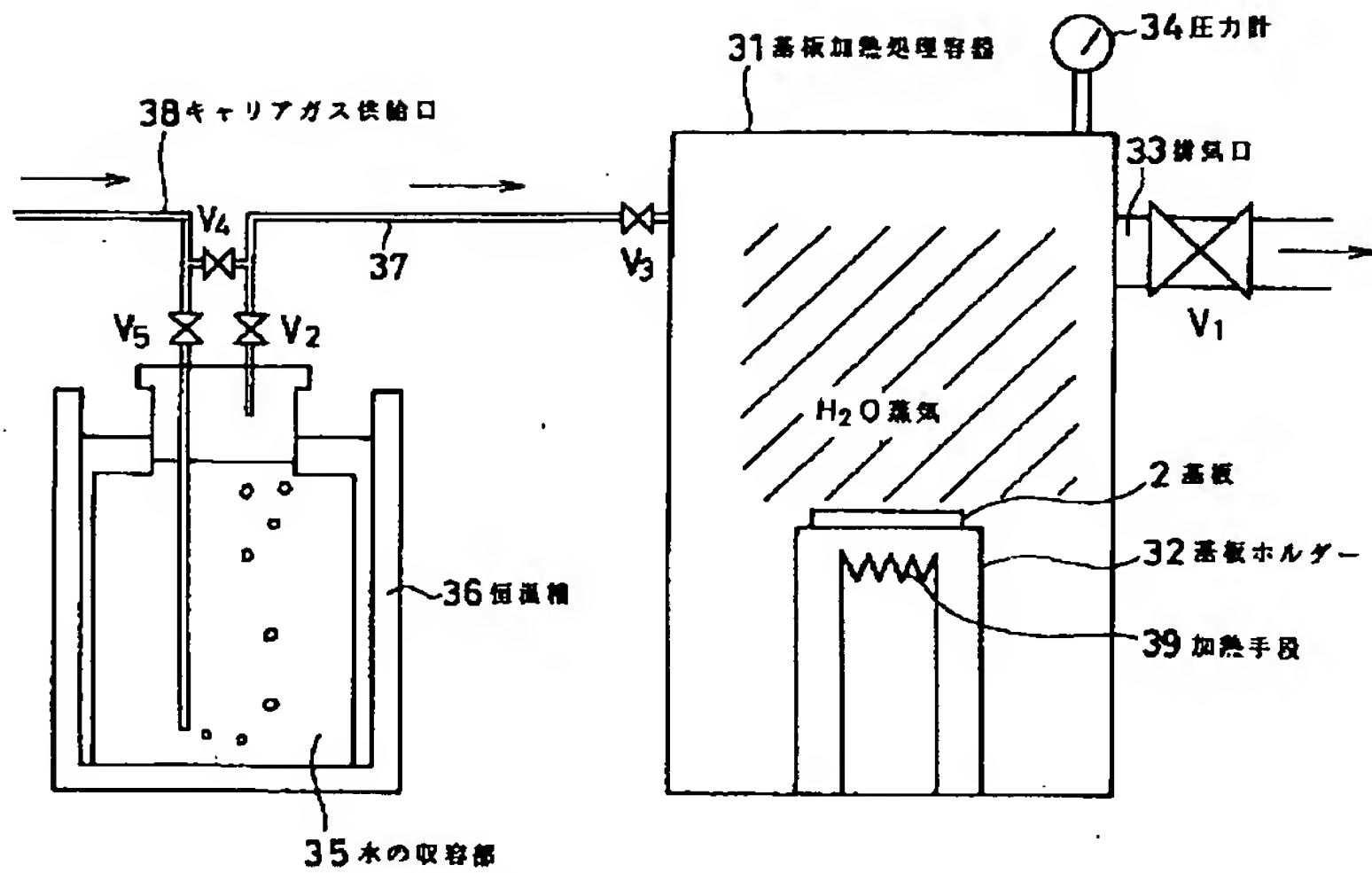
【図6】



【図7】

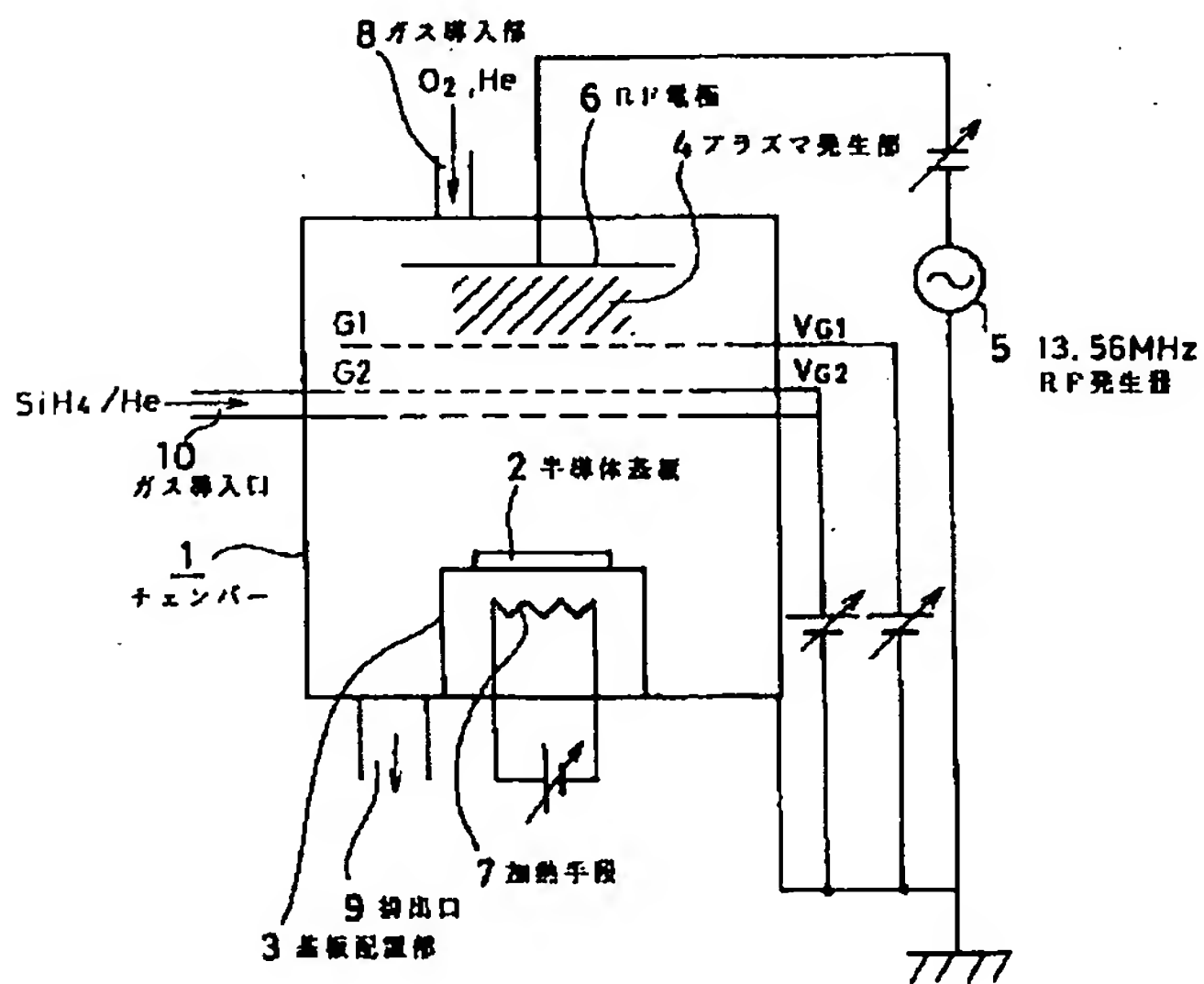


【図1】



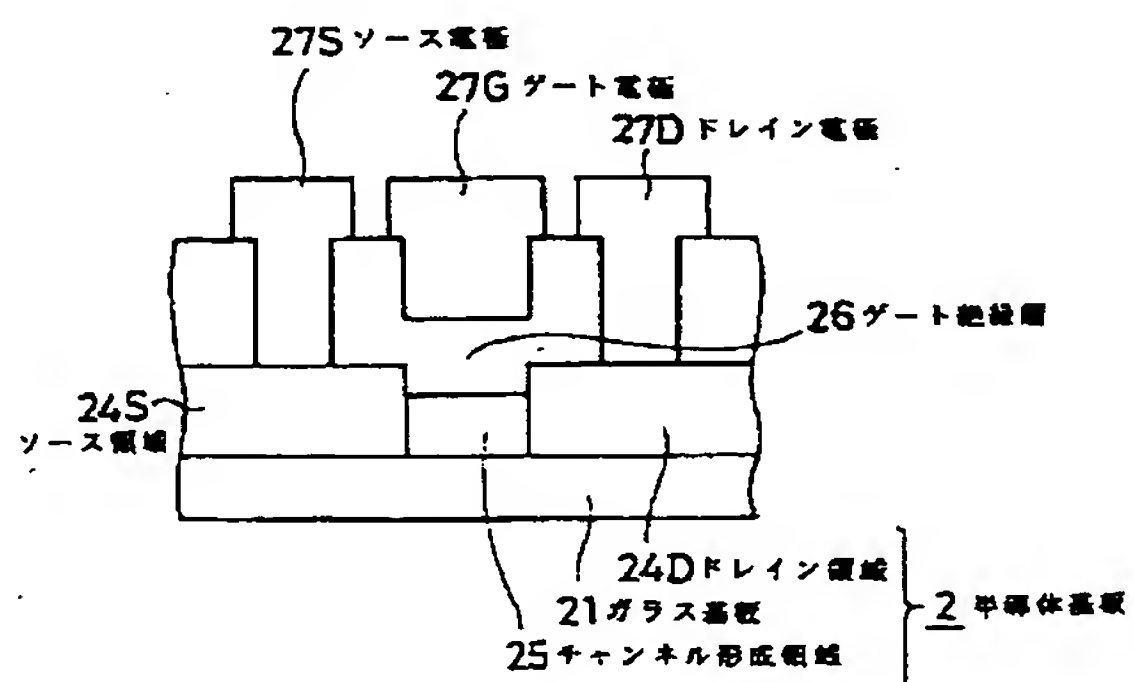
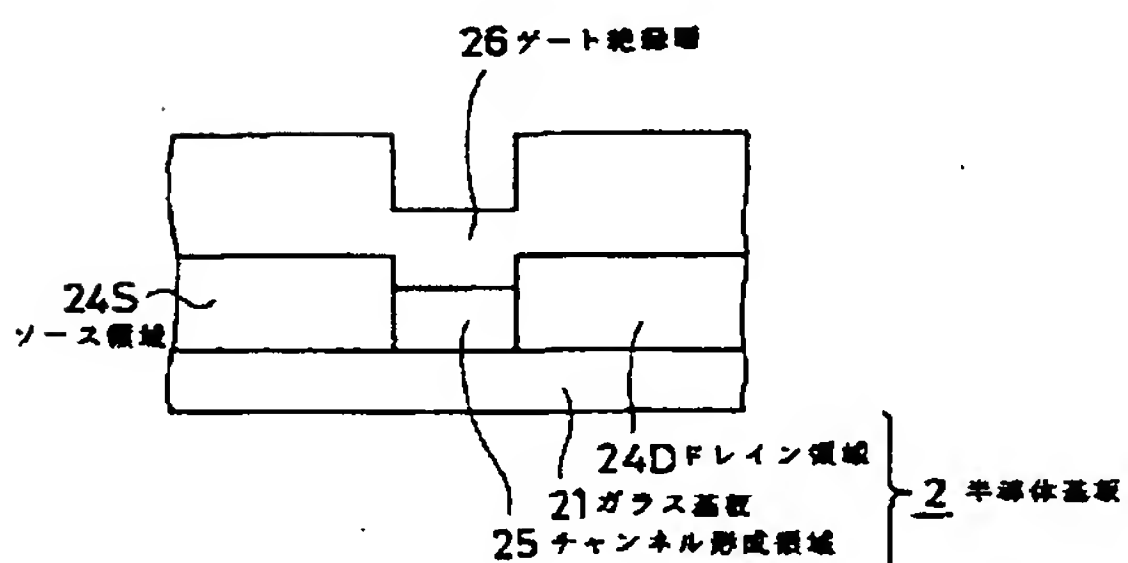
【図2】

【図8】

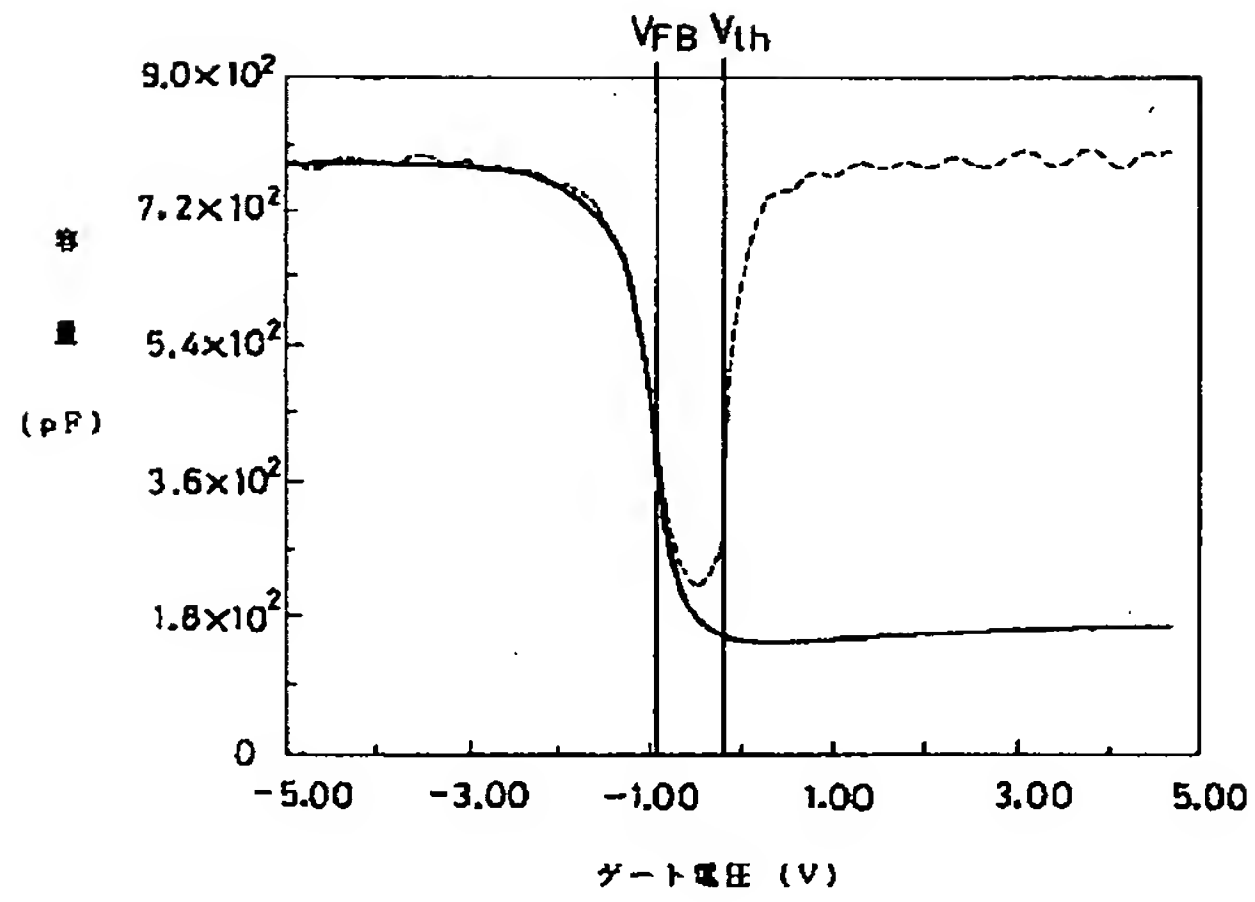


【図9】

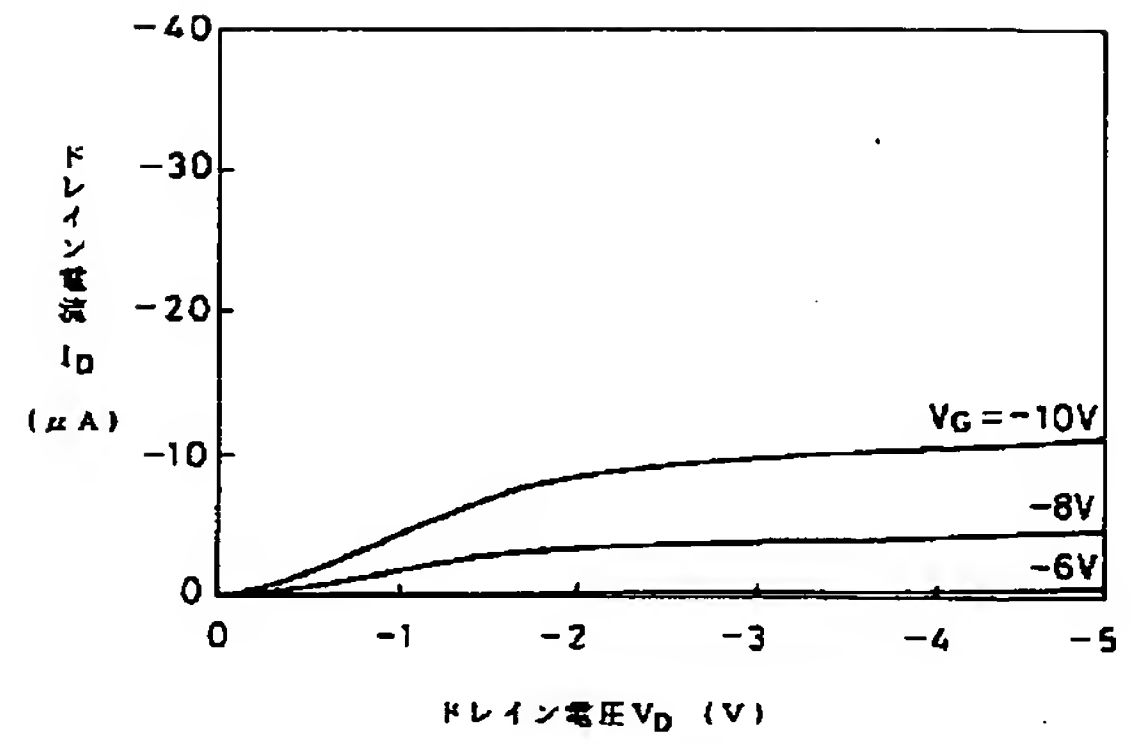
【図10】



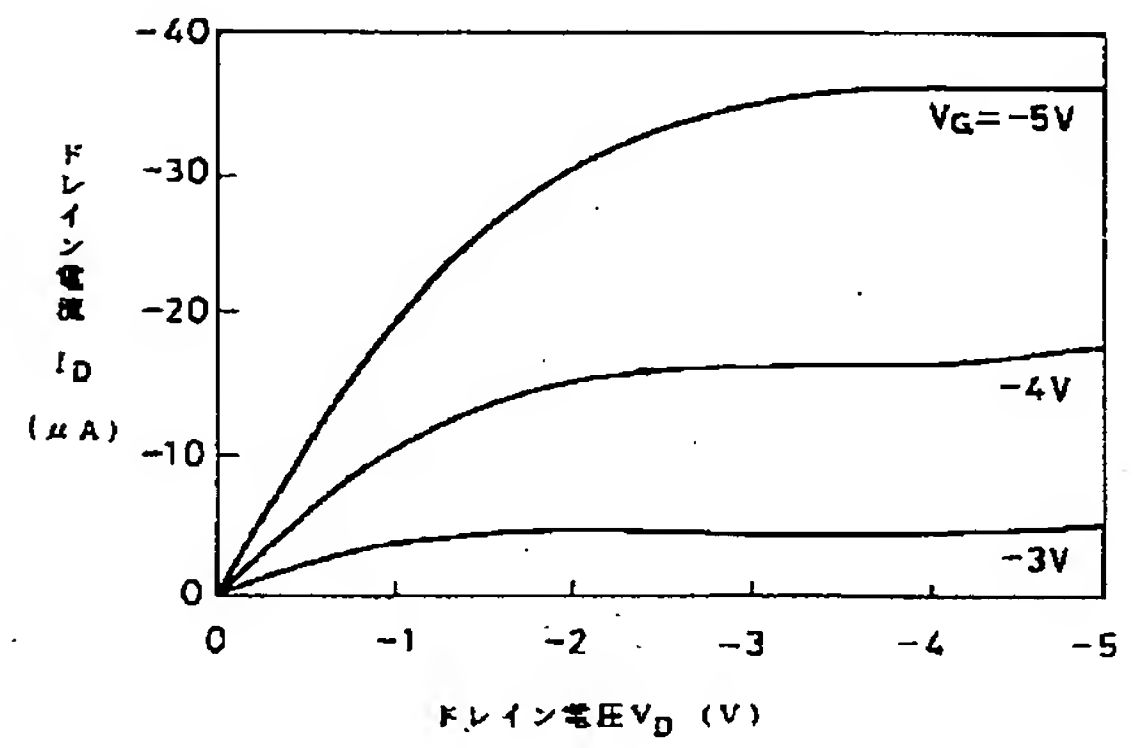
【図4】



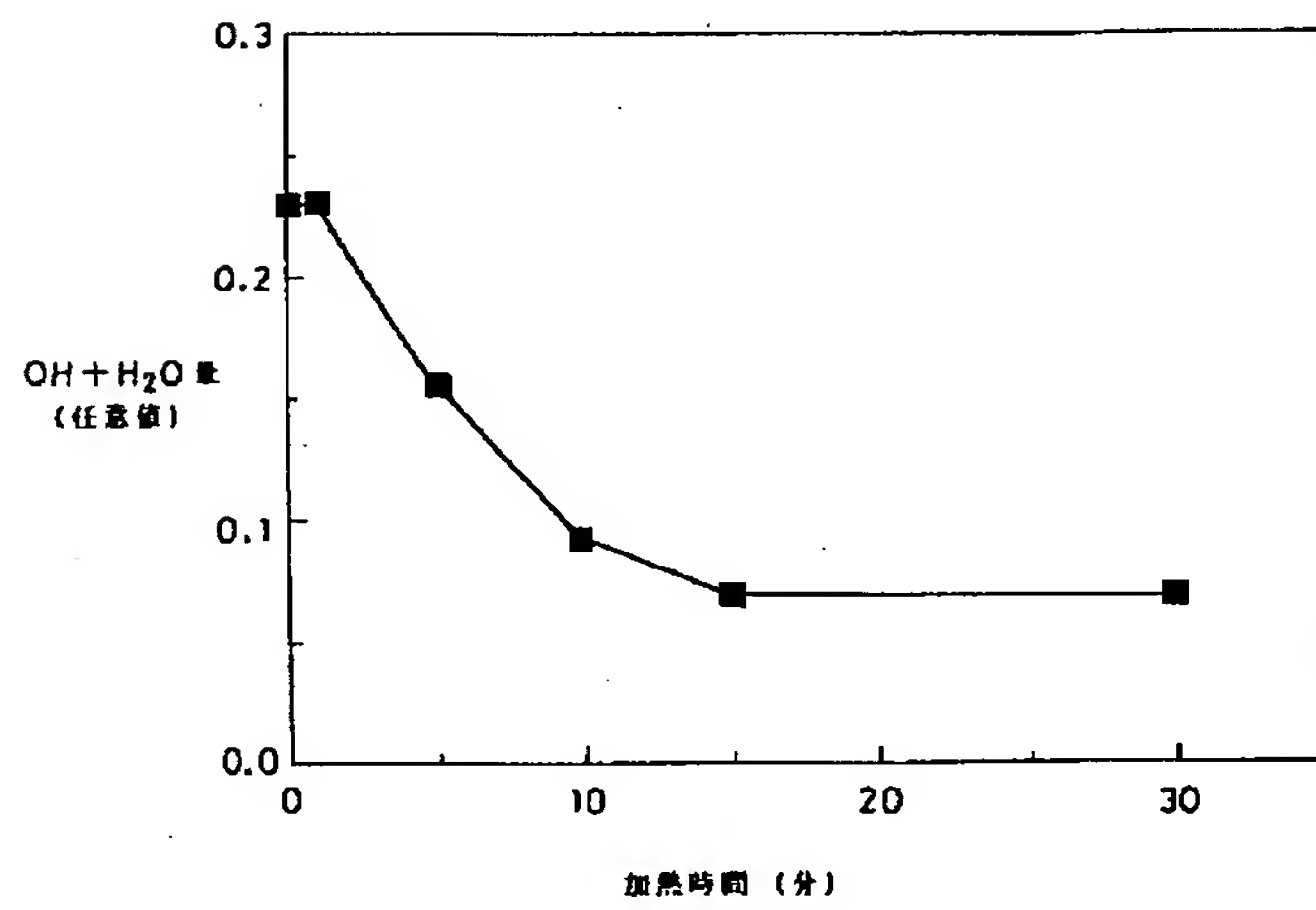
【図12】



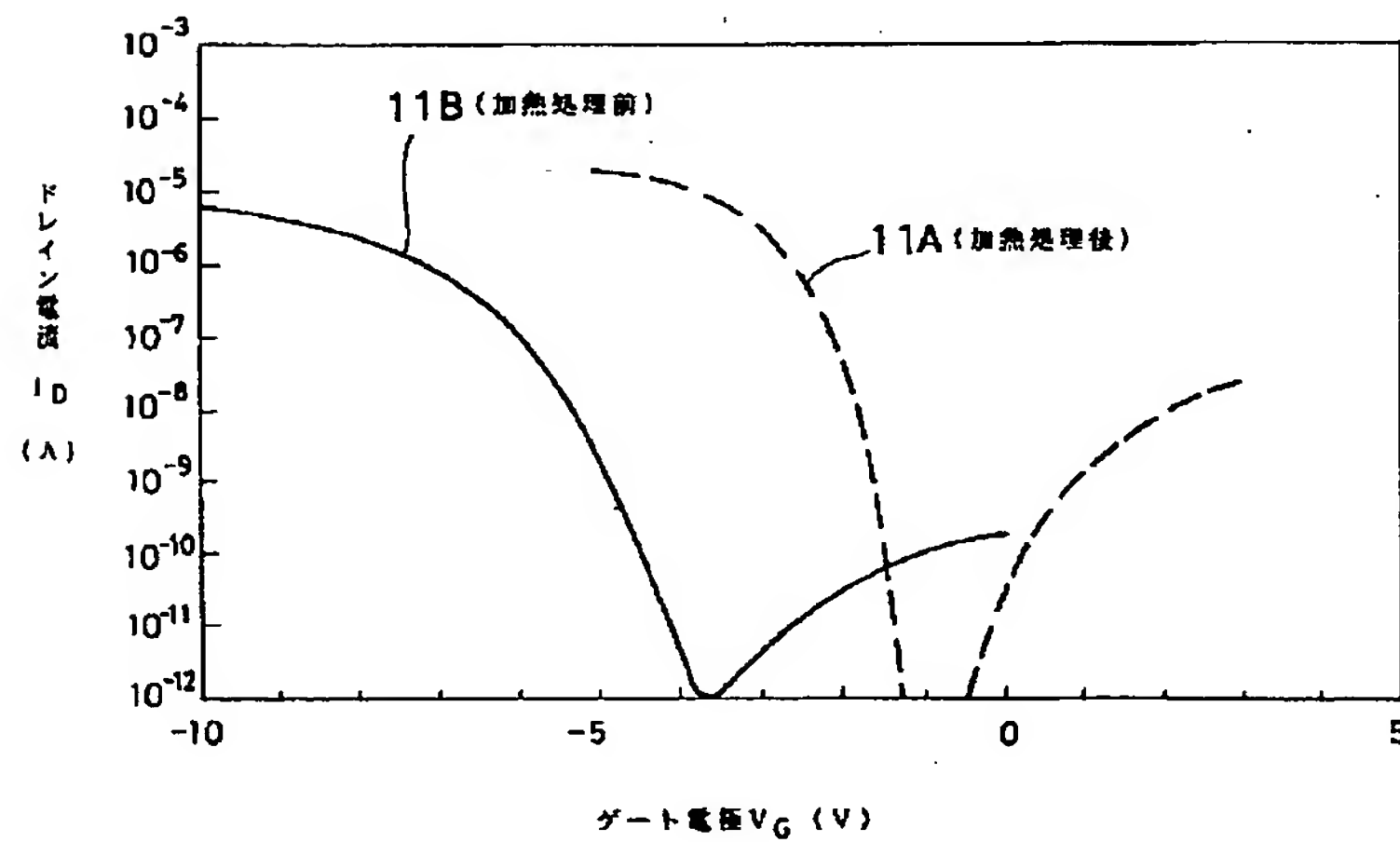
【図13】



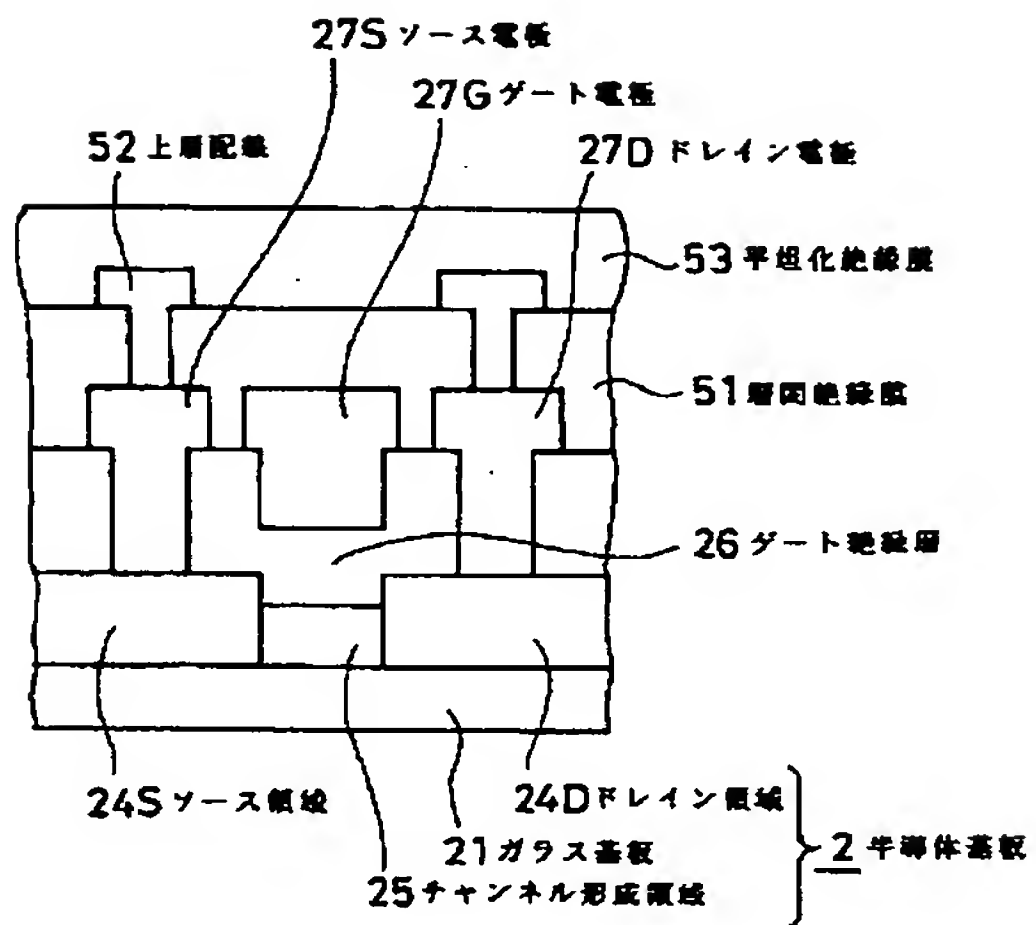
【図5】



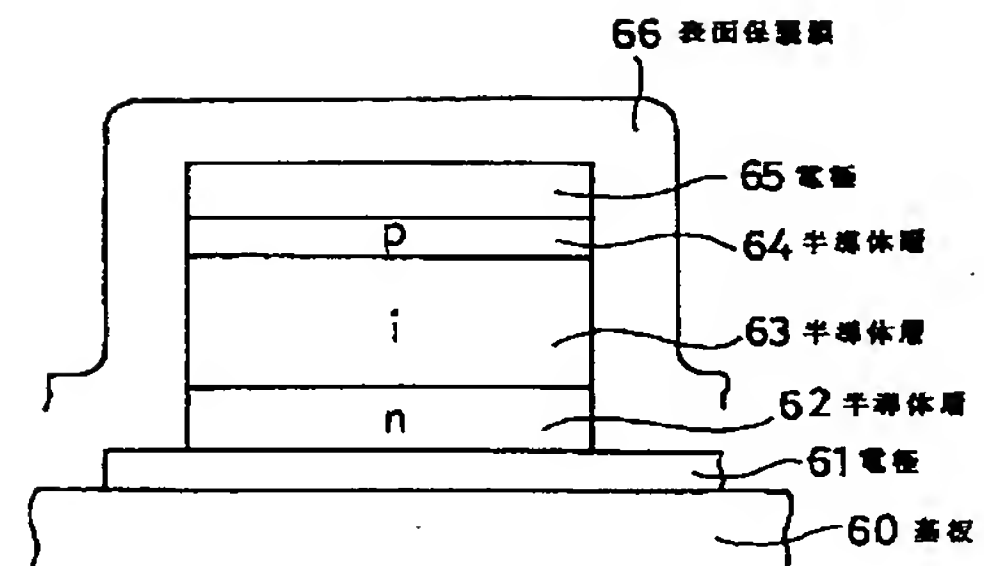
【図11】



【図14】



【図15】



フロントページの続き

(72)発明者 鮫島 俊之
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内